

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05036268 A**(43) Date of publication of application: **12.02.93**

(51) Int. Cl. **G11C 11/401**
H01L 27/10
H04Q 3/52
H04Q 11/04

(21) Application number: **03192855**(22) Date of filing: **01.08.91**(71) Applicant: **HITACHI LTD**

(72) Inventor: **HAYASHI TERUYOSHI**
YOSHIHARA KAZUHIRO
IMAIZUMI ICHIRO

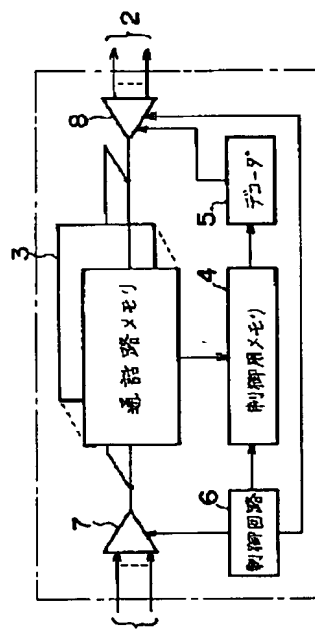
(54) **TIME-DIVISION SWITCH**

(57) Abstract:

PURPOSE: To decrease the switch area of the time-division switch and to reduce the power consumption by constituting a channel memory which constitutes the time-division switch for line switching by using a memory cell composed of a dynamic RAM.

CONSTITUTION: A serial data signal from eight bit-multiplexed input lines 1 is converted by a serial-parallel converting circuit 7 into parallel data, which is written in the channel memory 3. In a read cycle, the contents of the channel memory 3 are converted in 8-bit units by a parallel-series converting circuit 8 into serial data according to the order that a control memory 4 specifies and the data is outputted to one of eight output lines 2. Thus, the channel memory which constitutes the time-division switch is composed of the memory cell of the dynamic RAM to decrease the number elements, thereby reducing the power consumption.

COPYRIGHT: (C)1993,JPO&Japio



THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 5 - 3 6 2 6 8

(43) 公開日 平成5年(1993)2月12日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 11/401				
H 0 1 L 27/10	4 8 1	8728 - 4 M		
H 0 4 Q 3/52	1 0 1 A	9076 - 5 K		
		8320 - 5 L	G 1 1 C 11/34	3 6 2 C
		9076 - 5 K	H 0 4 Q 11/04	E
	審査請求	未請求	請求項の数 2	(全 6 頁) 最終頁に続く

(21) 出願番号 特願平 3 - 1 9 2 8 5 5

(22) 出願日 平成3年(1991)8月1日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 林 輝義

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72) 発明者 吉原 和弘

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72) 発明者 今泉 市郎

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(74) 代理人 弁理士 小川 勝男

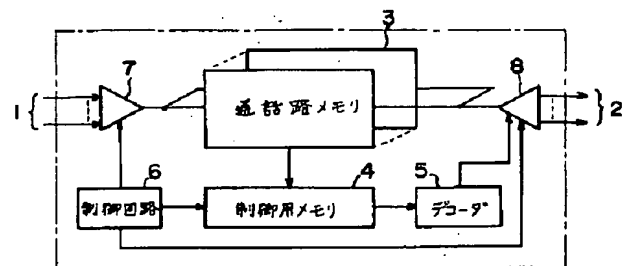
(54) 【発明の名称】 時分割スイッチ

(57) 【要約】

【構成】 回線交換用の時分割スイッチを構成する通話路メモリをダイナミック RAM のメモリセルにより構成するようにした。

【効果】 通話路メモリがスタティック RAM のメモリセルにより構成された従来の時分割スイッチに比べて素子数が極めて少なくて済むため、時分割スイッチのチップ面積を低減させることができるとともに、消費電力も減少させることができる。

【 図 1 】



【特許請求の範囲】

【請求項1】 シリアル入力信号をパラレルデータに変換する直ー並列変換回路と、変換された入力データを一時的に保持する通話路メモリと、この通話路メモリに保持されているデータをシリアルデータに変換して出力する並ー直列変換回路と、この並ー直列変換回路によるデータの出力の順序を指定するための制御用メモリと、この制御用メモリに保持されたアドレスをデコードしてデータの出力の順序を制御するデコーダとにより構成された時分割スイッチにおいて、上記通話路メモリを1トラ
ンジスタ1キャパシタ型のメモリセルにより構成するよ
うにしたことを特徴とする時分割スイッチ。

【請求項2】 上記制御用メモリには、直ー並列変換回路に取り込まれた入力データが転送され、該データに基づいてデータの出力の順序が制御されるように構成されてなることを特徴とする請求項1記載の時分割スイッチ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路技術さらにはデータ保持回路に適用して特に有効な技術に関し、例えばGaAs集積回路からなる時分割スイッチの通話路メモリに利用して有効な技術に関する。

【0002】

【従来の技術】 高速高帯域通信網においては、電話に加えて動画像、高品位画像などの高速度ベアラサービスを提供する必要がある、これらを交換接続するために回線交換用の高速スイッチが開発されている。従来、回線交換用の高速スイッチとしては、空間分割方式と時分割方式とが考えられているが、このうち、時分割方式の高速スイッチとこれを使用した交換システムとしては、例えば図3および図4に示すようなものが提案されている

(NTT発行「研究実用化報告」第37巻第12号(1988)P821-P830, “GaAs素子を用いた超高速時分割スイッチ構成技術”)。

【0003】 すなわち、図3のシステムは高品位TV交換システムに応用した例で、高品位TV信号はTCMエンコーダT-ENCにより20MHzに帯域圧縮され、A/D変換回路ADCで400Mb/sのデジタル信号に変換され、マルチプレクサMUXに送られる。マルチプレクサMUXは、4チャンネルのデジタル信号をビット多重化して時分割スイッチTSWへ送る。時分割スイッチTSWは、入出力ハイウェイを各々1本持ち、多重化信号4チャンネルの時分割交換を行なう。時分割スイッチTSWで交換された信号は、デマルチプレクサDMUXで分離されD/A変換器DAC、TCMデコーダT-DECを経て、再び高品位TV端末信号に再現される。

【0004】 上記時分割スイッチTSWは、図4に示されているように直ー並列変換回路としての入力シフトレ

ジスタISRと、通話路メモリとしてのデータレジスタIDRと、並ー直列変換回路としての出力シフトレジスタOSRと、出力シフトレジスタOSRに保持されているデータの出力の順序を指定するための制御用メモリとしてのアドレスシフトレジスタACSおよびNORゲートからなりアドレスシフトレジスタACSに保持されたアドレスをデコードするアドレスデコーダA-DECとにより構成されている。

【0005】 入力シフトレジスタISRに取り込まれた入力データA, B, C, Dは、一括してデータレジスタIDRにラッチされるとともに、アドレスシフトレジスタACSが出力シフトレジスタOSRの出力チャンネルと同期してシフト動作され、出力シフトレジスタOSRのいずれか一つのフリップフロップにデータレジスタIDRの1ビットのデータをラッチさせる。上記アドレスシフトレジスタACSの内容は最上段のフリップフロップを通して書き換えることができるようにされており、これによって、データの出力順序を変更することができる。

【0006】

【発明が解決しようとする課題】 従来の時分割スイッチTSWは、通話路メモリが、選択用スイッチMOSFET Qs1, Qs2とラッチ回路LTとからなる図5に示すような6素子のスタティック型メモリセルからなるRAMもしくはレジスタによって構成されていたため、素子数が多く回路の占有面積が大きいとともに、消費電力も多いという問題点がある。

【0007】 本発明の目的は、素子数が少なくチップ面積が小さいとともに、消費電力も少ない時分割スイッチを提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添附図面から明らかになるであろう。

【0008】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。すなわち、回線交換用の時分割スイッチを構成する通話路メモリをダイナミックRAMのメモリセルにより構成するようにしたものである。

【0009】

【作用】 上記した手段によれば、ダイナミックRAMを構成するメモリセルは図2に示すようにスタティックRAMを構成するメモリセルに比べて素子数が極めて少ない。しかも、時分割スイッチTSWにおける通話路メモリは、極めて短い時間だけデータを保持できればよいため、ダイナミックRAMのリフレッシュが不要となるため周辺回路が不要である。そのため、時分割スイッチのチップ面積を低減させることができるとともに、消費電力も減少させることができる。

【0010】

【実施例】 図1には、本発明を時分割スイッチに適用し

た場合の一実施例が示されている。特に制限されるものでないが、この実施例の時分割スイッチは1個のGaAs基板上において形成される。図1において、3は8本のレジスタもしくは8枚のメモリフレームからなる通話路メモリ、4はこの通話路メモリ3に保持されているデータの出力の順序を指定するためのアドレスを保持する制御用メモリ、5は制御用メモリ4に保持されたアドレスをデコードするアドレスデコーダ、6は同期信号等の制御信号を発生する制御回路である。

【0011】この実施例の時分割スイッチは、ビット多重化された8本の入力ライン1を備え、シリアルデータとして入力された信号を直一並列変換回路7によってバイト(8ビット)単位でパラレルデータに変換して上記通話路メモリ3へ入力順に書き込む。書き込みが終了すると、読出しサイクルに移行し、制御用メモリ4が指定する順序に従って通話路メモリ3の内容が8ビット単位で並一直列変換回路8に送られて、シリアルデータに変換され、8本の出力ライン2いずれかに出力される。これによって、8本の入力ライン1より入力された信号は、制御用メモリ4の情報に従って時間的順番の入替えおよび/または出力線の入替え(交換機能)が実施される。

【0012】この実施例では、上記通話路メモリ3が、図2に示すように、選択用のスイッチMOSFET Q_s と情報電荷蓄積用容量 C_m とからなる1トランジスタ1キャパシタ型のメモリセルMCにより構成されている。通話路メモリ3は書き込みから読出しまでの平均所要時間が300nsと、非常に短いためリフレッシュを必要としない。従って、図2に示すようなメモリセルを使用しても一般のダイナミックRAMのようなリフレッシュ制御回路が不要である。ただし、制御用メモリ4は、書き込みから読出しまでの時間が分または時間のオーダーであるため、図5に示すようなスタティックRAM用のメモリセルにより構成されている。

【0013】なお、この実施例の時分割スイッチは、通話路メモリ3に取り込まれた転送先アドレスのようなデータに従って出力ラインの切換えを行なえるようにするため、通話路メモリ3の内容が制御用メモリ4へ転送可能に構成されている。上記実施例では8本の入力ラインを備えているとしたが、入力ラインの本数はこれに限定されず任意の本数とすることができる。

【0014】以上説明したように、上記実施例は、時分割スイッチを構成する通話路メモリをダイナミックRAMのメモリセルにより構成するようにしたので、通話路メモリがスタティックRAMのメモリセルにより構成された従来の時分割スイッチに比べて素子数が極めて少な

て済むため、時分割スイッチのチップ面積を低減させることができるとともに、消費電力も減少させることができるという効果がある。ちなみに、図2に示すようなダイナミックRAMのメモリセルの占有面積は約1000 μm^2 であり、スタティック型メモリセルの占有面積は約500 μm^2 であるので、通話路メモリの占有面積はおよそ2分の1になる。

【0015】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記実施例では時分割スイッチがGaAsLSIで構成されていると説明したが、シリコン基板上に形成された時分割スイッチに適用することも可能である。

【0016】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である回線交換用の時分割スイッチに適用した場合について説明したが、この発明はそれに限定されるものでなく、リフレッシュ時間よりも短いデータ保持を行なうラッチ回路、レジスタもしくはメモリを備えた半導体集積回路一般に利用することができる。

【0017】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。すなわち、素子数が少なくチップ面積が小さいとともに、消費電力も少ない高速時分割スイッチを実現することができる。

【図面の簡単な説明】

【図1】本発明に係る時分割スイッチの一実施例を示すブロック図である。

【図2】図1の時分割スイッチを構成する通話路メモリのセルの具体例を示す回路図である。

【図3】従来の時分割方式の高速スイッチを使用した交換システムの構成例を示すブロック図である。

【図4】図3の交換システムを構成する時分割スイッチの構成例を回路構成図である。

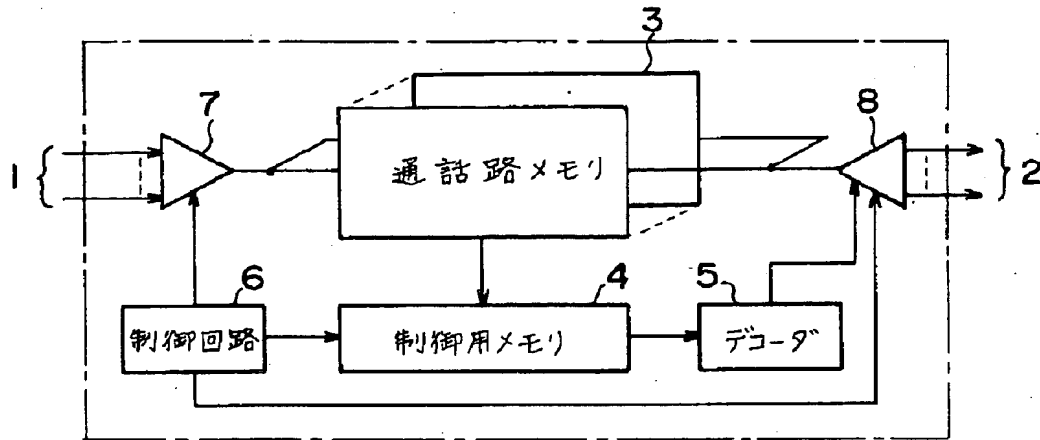
【図5】図4の時分割スイッチを構成する通話路メモリのセルの具体例を示す回路図である。

【符号の説明】

- 1 入力ライン
- 2 出力ライン
- 3 通話路メモリ
- 7 直一並列変換回路
- 8 並一直列変換回路

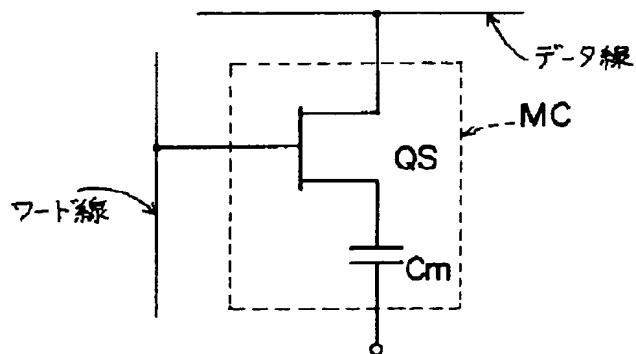
【図1】

【図1】



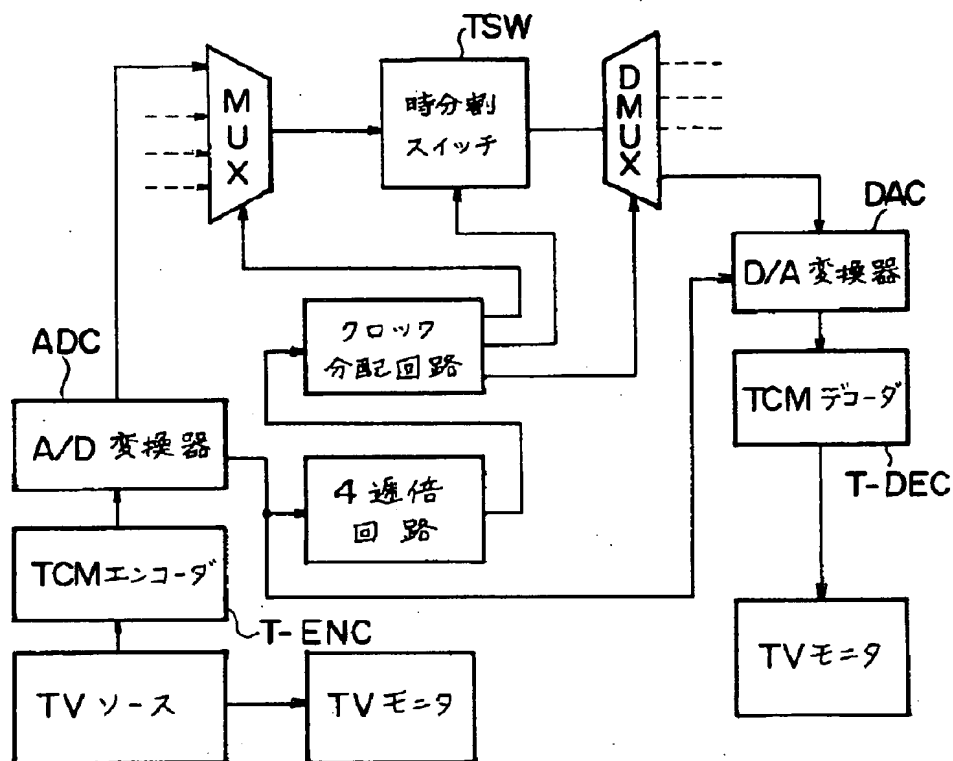
【図2】

【図2】



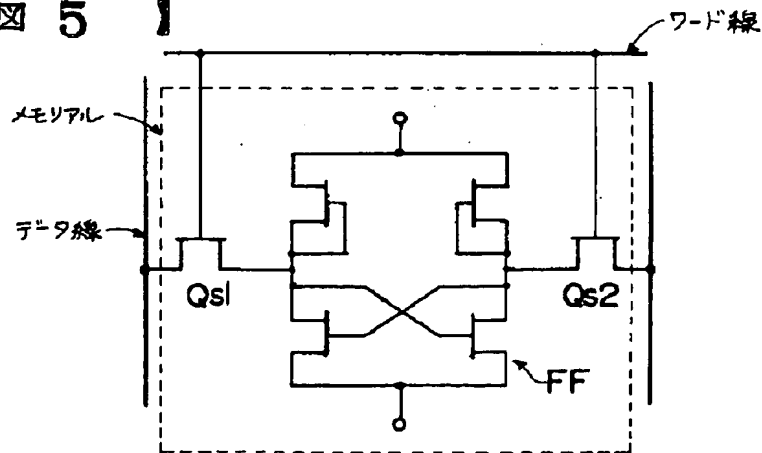
【図3】

【図3】



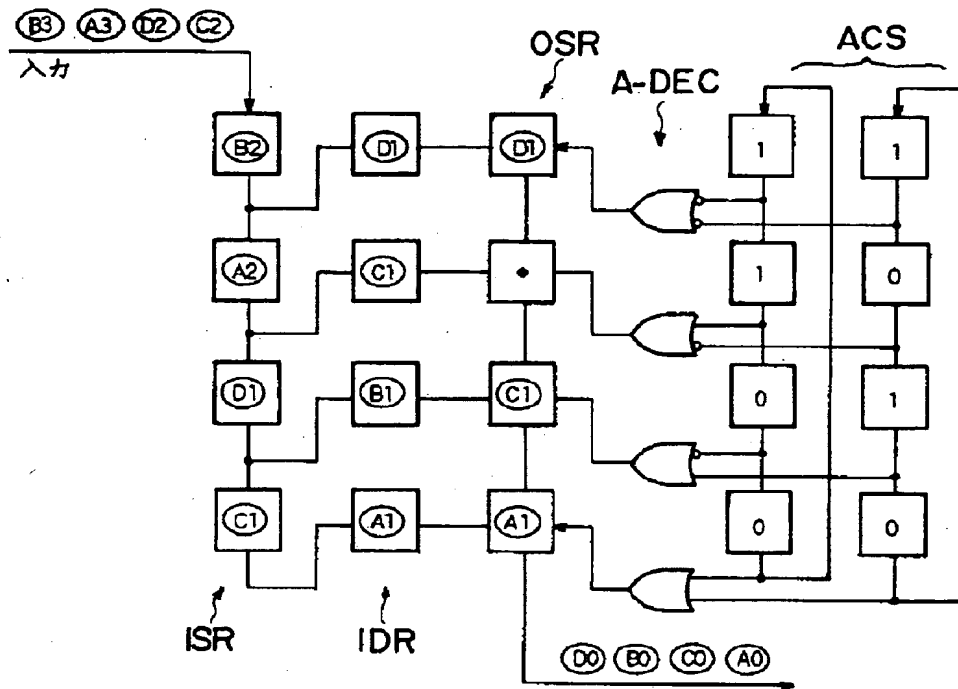
【図5】

【図5】



【図4】

【図4】



フロントページの続き

(51) Int. Cl. 5

H 0 4 Q 11/04

識別記号

庁内整理番号

F I

技術表示箇所